

四通道时间数字转换器

主要特点

- 4个STOP通道：20ns脉冲间距、35MSPS
- 2个组合通道：5ns脉冲间距、70MSPS
- 独立通道测量单脉冲精度为：20ps rms
- 高分辨率模式下测量精度为：10ps rms
- 测量范围：0s ~ 16s
- 每个通道16级FIFO
- 自动校准参考时钟（无PLL或DLL）
- 差分参考时钟输入2MHz~12.5MHz
- 输入可选LVDS或CMOS电平
- 输出可选LVDS或SPI读取
- 低功耗：60mW至550mW

产品简述

MS1052NA是一款高性能的时间数字转换器，内置4个测量通道。通过每个通道的LVDS输入和LVDS串行输出，可以实现最高的测量性能和最高的数据传输量，也可以使用CMOS输入和SPI读取来降低功耗。MS1052NA具有灵活的配置以及无限的测量范围，适用于许多应用场景。MS1052NA不使用任何PLL技术，它计算内部所有STOP信号测量值，与配置的参考时钟进行比较。每个STOP通道可以实现最高的测量精度为10ps，最小脉冲间隔5ns，最大数据传输率为70MSPS。

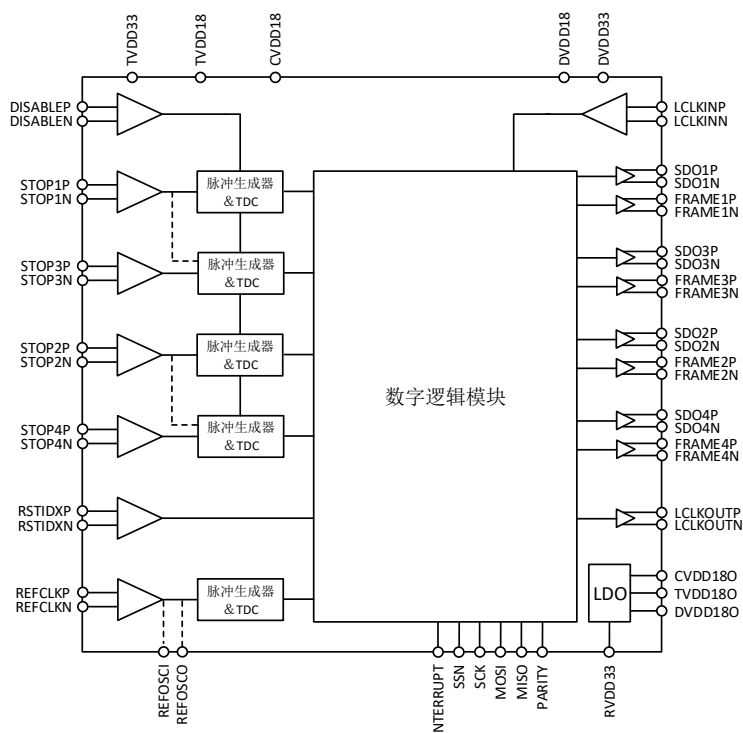
应用

- 自动化测试设备
- 激光测距
- 医学影像
- 激光雷达、声纳

产品规格分类

产品	封装形式	丝印名称
MS1052NA	QFN64	MS1052NA

内部框图

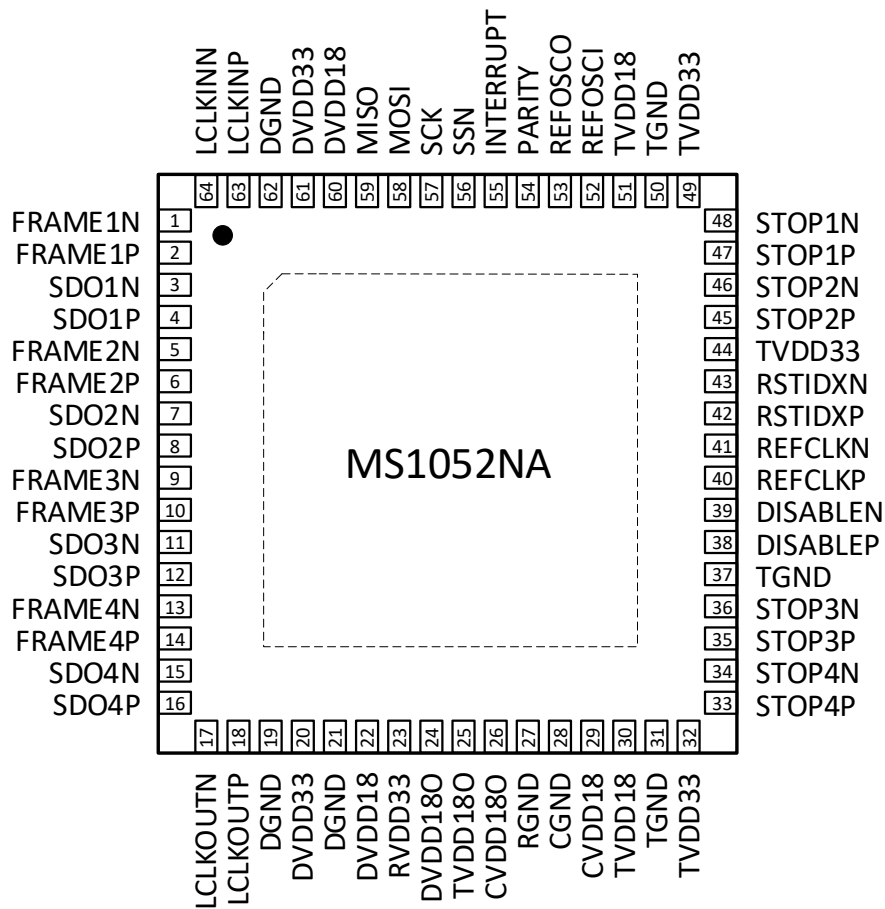


目录

1. 主要特点	1
2. 应用	1
3. 产品简述	1
4. 产品规格分类	1
5. 内部框图	1
6. 目录	2
7. 管脚图	3
8. 管脚说明	4
9. 极限参数	6
10. 推荐工作条件	6
11. 电气参数	7
11.1 转换特性	7
11.2 电源特性参数	8
11.3 时钟和输入特性	9
11.4 LVDS 数据接口特性	10
12. 典型特性曲线	12
13. 典型应用图	14
14. 封装外形图	16
15. 印章与包装规范	17
16. 声明	18
17. MOS 电路操作注意事项	19



管脚图



管脚说明

管脚编号	管脚名称	管脚属性	管脚描述
1	FRAME1N	O	STOP 通道 1 的负帧信号
2	FRAME1P	O	STOP 通道 1 的正帧信号
3	SDO1N	O	STOP 通道 1 的负串行数据输出
4	SDO1P	O	STOP 通道 1 的正串行数据输出
5	FRAME2N	O	STOP 通道 2 的负帧信号
6	FRAME2P	O	STOP 通道 2 的正帧信号
7	SDO2N	O	STOP 通道 2 的负串行数据输出
8	SDO2P	O	STOP 通道 2 的正串行数据输出
9	FRAME3N	O	STOP 通道 3 的负帧信号
10	FRAME3P	O	STOP 通道 3 的正帧信号
11	SDO3N	O	STOP 通道 3 的负串行数据输出
12	SDO3P	O	STOP 通道 3 的正串行数据输出
13	FRAME4N	O	STOP 通道 4 的负帧信号
14	FRAME4P	O	STOP 通道 4 的正帧信号
15	SDO4N	O	STOP 通道 4 的负串行数据输出
16	SDO4P	O	STOP 通道 4 的正串行数据输出
17	LCLKOUTN	O	负串行时钟输出
18	LCLKOUTP	O	正串行时钟输出
19,21,62	DGND	-	数字和 IO 单元的地
20,61	DVDD33	P	数字和 IO 单元的 3.3V 电源
22,60	DVDD18	P	数字和 IO 单元的 1.8V 电源
23	RVDD33	P	线性稳压器的 3.3V 电源
24	DVDD18O	O	数字和 IO 单元的 1.8V 输出电源电压
25	TVDD18O	O	时间前端的 1.8V 输出电源电压
26	CVDD18O	O	时间数字转换器的 1.8V 输出电源电压
27	RGND	-	线性稳压器的地
28	CGND	-	TDC 的地
29	CVDD18	P	TDC 1.8V 电源
30,51	TVDD18	P	时间前端 1.8V 电源
31,37,50	TGND	-	时间前端的地



管脚编号	管脚名称	管脚属性	管脚描述
32,44,49	TVDD33	P	时间前端 3.3V 电源
33	STOP4P	I	STOP4 的正输入
34	STOP4N	I	STOP4 的负输入
35	STOP3P	I	STOP3 的正输入
36	STOP3N	I	STOP3 的负输入
38	DISABLEP	I	STOP 通道的正禁用引脚
39	DISABLEN	I	STOP 通道的负禁用引脚
40	REFCLKP	I	参考时钟正信号
41	REFCLKN	I	参考时钟负信号
42	RSTIDXP	I	REFID 正复位信号
43	RSTIDXN	I	REFID 负复位信号
45	STOP2P	I	STOP2 的正输入
46	STOP2N	I	STOP2 的负输入
47	STOP1P	I	STOP1 的正输入
48	STOP1N	I	STOP1 的负输入
52	REFOSCI	I	高速晶振输入，作为参考时钟
53	REFOSCO	O	高速晶振输出
54	PARITY	O	所有配置寄存器的奇偶校验
55	INTERRUPT	O	中断
56	SSN	I	串行接口从机选择，低电平有效
57	SCK	I	串行接口时钟输入
58	MOSI	I	SPI 串行数据主机输出，从机输入
59	MISO	O	SPI 串行数据主机输入，从机输出
63	LCLKINP	I	LVDS 串行时钟正输入
64	LCLKINN	I	LVDS 串行时钟负输入



极限参数

芯片使用中，任何超过极限参数的应用方式会对器件造成永久的损坏，芯片长时间处于极限工作状态可能会影响器件的可靠性。极限参数只是由一系列极端测试得出，并不代表芯片可以正常工作在此极限条件下。

参数	符号	额定值	单位
3.3V 电源	VDD33	-0.5 ~ 4.0	V
1.8V 电源	VDD18	-0.5 ~ 2.2	V
接地引脚之间的电压		±0.3	V
差分输入引脚上的电压	V _{ILVDS}	-0.3 ~ VDD33+0.3	V
振荡器单元输入端的电压	V _{OSC}	-0.3 ~ VDD18+0.3	V
ESD (HBM)		±4000	V
结温	T _J	-40 ~ +125	°C
储存温度	T _{stg}	-65 ~ +150	°C
焊接温度	T _{solder}	260	°C

推荐工作条件

参数	符号	参数范围			单位
		最小	典型	最大	
3.3V 电源	VDD33	2.4	3.3	3.6	V
数字内核电源	DVDD18		1.5		V
TDC 内核电源	CVDD18	2.05	2.1	2.15	V
工作温度	T _A	-40		125	°C
LVDS 差分输入电压	V _{ID,LVDS}	200			mV
LVDS 共模输入电压	V _{IC,LVDS}	V _{ID} /2	1.25	2.2-V _{ID} /2	V
CMOS 输入低电压	V _{IL,CMOS}			0.4	V
CMOS 输入高电压	V _{IH,CMOS}	VDD33 - 0.4			V
数字输入低电压	V _{IL}			0.8	V
数字输入高电压	V _{IH}	0.7 × VDD33			V
接地电容 (SPI 接口)	C _{LOAD}			20	pF
LVDS 差分输出终端电阻	R _{TERM}		100		Ω
接地电容 (LVDS 接口)	C _{LOAD}			5	pF



电气参数

转换特性

在电源电压和工作温度范围之内。

参数	符号	测试条件	最小值	典型值	最大值	单位
独立通道测量精度	RMS	HIGH_RESOLUTION=0 (关闭)		20		ps
		HIGH_RESOLUTION=1 (2x)		15		
		HIGH_RESOLUTION=2 (4x)		10		
积分非线性	INL				TBD	ps
微分非线性	DNL			TBD		ps
通道间误差		四个通道测量同一时间		20	100	ps
偏移误差		HIGH_RESOLUTION=0 (关闭)		100		ps
		HIGH_RESOLUTION=1 (2x)		150		
		HIGH_RESOLUTION=2 (4x)		200		
转换延时	t_{CONV}	HIGH_RESOLUTION=0 (关闭)			20	ns
		HIGH_RESOLUTION=1 (2x)			50	
		HIGH_RESOLUTION=2 (4x)			100	
峰值转化率		HIGH_RESOLUTION=0 (关闭)			50	MSPS
		HIGH_RESOLUTION=1 (2x)			20	
		HIGH_RESOLUTION=2 (4x)			10	
最高读取速率		SDR/250MHz	5.6		17.8	MSPS
		DDR/250MHz	11.3		35.7	
		SPI/40MHz	0.7		1.6	

注：所有典型值的工作条件是 VDD33=3.3V，DVDD18=1.5V，CVDD18=TVDD18=2.1V，T_A=0°C 至 80°C。



电源特性参数

参数	符号	测试条件	最小值	典型值	最大值	单位
从 RVDD33 上电至 TVDD180, CVDD180, DVDD180 稳定的延时	t_{VDD180}	$C_{load}=100\mu F$			100	ms
最小总功耗	$P_{TOT,MIN}$	CMOS 输入和 SPI 读取 $f_{REFCLK}=5MHz$ 转换率 1MSPS		60		mW
最大总功耗	$P_{TOT,MAX}$	LVDS 输入和输出 $f_{REFCLK}=10MHz$ $f_{STOP1..4}=50MHz$ $f_{LCLK}=300MHz$		550		mW
REFCLK 的电流	$I_{DVDD18,REFCLK}$	$f_{REFCLK}=5MHz$		2		mA
STOP 通道的电流	$I_{DVDD18,STOP}$			0.5		mA
TDC 工作电流	I_{CVDD18}			14		mA
REFOSC 的电流	$I_{TVDD18,REFOSC}$	$f_{REFOSC}=4MHz$		2		mA
LVDS 输入缓冲器的电流	$I_{DVDD33,LVDS-IN}$ $I_{TVDD33,LVDS-IN}$			2	6	mA
LVDS 输出缓冲器的电流	$I_{DVDD33,LVDS-OUT}$	$R_{TERM}=100\Omega$		10		mA
I_{RVDD33} 产生的静态电流	I_{DDQ}	LVDS 输入连接到 VDD33		60	100	μA
输入漏电流	I_{LKG}		-5		1	μA

注：一般工作条件是 VDD33=3.3V，DVDD18=1.5V，CVDD18=TVDD18=2.1V， $T_A=0^{\circ}C$ 至 $80^{\circ}C$ 。



时钟和输入特性

参数	符号	测试条件	最小值	典型值	最大值	单位
参考时钟频率	f_{REFCLK}	HIGH_RESOLUTION=0 (关闭)	2	5	12.5	MHz
		HIGH_RESOLUTION=1 (2x)	2	5	12.5	
		HIGH_RESOLUTION=2 (4x)	2	5	10.0	
引脚 REFOSCI 和 REFOSCO 处的参考振荡器频率	f_{REFOSC}	HIGH_RESOLUTION=0 (关闭)	2	5	12.5	MHz
		HIGH_RESOLUTION=1 (2x)	2	5	12.5	
		HIGH_RESOLUTION=2 (4x)	2	5	10.0	
参考时钟周期	t_{REFCLK}		83	200	500	ns
最小脉冲宽度	$t_{PWH,STOP}$	LVDS	2			ns
		CMOS	5			
最小脉冲间距	t_{PPS}	HIGH_RESOLUTION=0 (关闭)	20			ns
		HIGH_RESOLUTION=1 (2x)	50			
		HIGH_RESOLUTION=2 (4x)	100			
最小脉冲对间距	$t_{PPS,CCH}$	CHANNEL_COMBINE=1 测量单对脉冲	5			ns
从 RSTIDX 到 REFCLK 的建立时间	$t_{SU,RST}$		5			ns
从 RSTIDX 到 REFCLK 的保持时间	$t_{HD,RST}$		5			ns
从 STOP 到 DISABLE 的建立时间	$t_{SU,DIS}$		5			ns
从 STOP 到 DISABLE 的保持时间	$t_{HD,DIS}$		5			ns
从配置引脚 PIN_ENA... 到产生有效数据的使能时间	t_{PIN_ENA}	RSTIDX, DISABLE, REFCLK, STOP1...4	200			μ s
上电或初始化复位到下一次通信的时间间隔	t_{POR}		100			μ s

注：一般工作条件是 VDD33=3.3V, DVDD18=1.5V, CVDD18=TVDD18=2.1V, T_A=0°C 至 80°C,

V_{ID}=200mV, V_{IC}=1.25V, V_{IL}=0V, V_{IH}=3.3V_A。



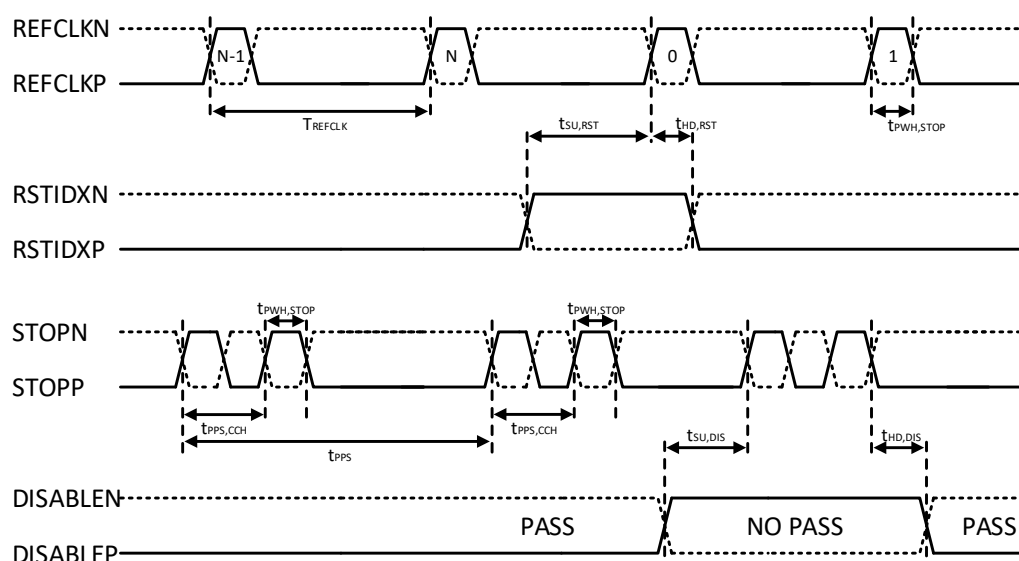


图 1. 时序符号和参数

LVDS 数据接口特性

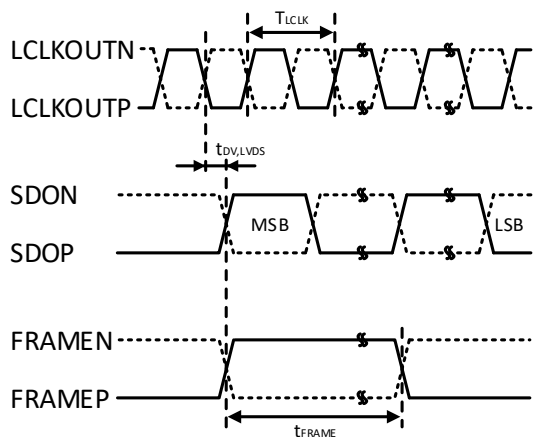
参数	符号	测试条件	最小值	典型值	最大值	单位
LVDS 差分输出电压	$V_{OD,LVDS}$	$R_L=100\Omega$, $C_L=5pF$		300		mV
共模输出电压	$V_{OC,LVDS}$	$R_L=100\Omega$, $C_L=5pF$	1.125	1.25	1.375	V
从配置引脚 PIN_ENA_LVDS 到产生有效数据的使能时间	$t_{PIN_ENA_LVDS}$	LCLKIN, LCLKOUT, SDO1...4, FRAME1...4			200	μs
同步延迟	t_{SYNC}	SDR DDR		8 4		LCLK
FRAME 脉冲宽度	t_{FRAME}	SDR DDR		8 4		LCLK
LVDS 时钟频率 SDR/DDR	f_{LCLK}		10		250	MHz
LVDS 时钟占空比			45	50	55	%
从 LCLKIN 到 LCLKOUT, SDO...4, FRAME...4 的路径延迟				TBD		ns
在 LCLK 边沿后的数据有效时间	$t_{DC,LVDS}$	LVDS_DATA_VALID_ADJUST=1		0		ns



注：一般工作条件是 $V_{DD33}=3.3V$, $DVDD18=1.5V$, $CVDD18=TVDD18=2.1V$, $T_A=0^{\circ}C$ 至 $80^{\circ}C$,

$V_{ID}=200mV$, $V_{IC}=1.25V$ 。

SDR



DDR

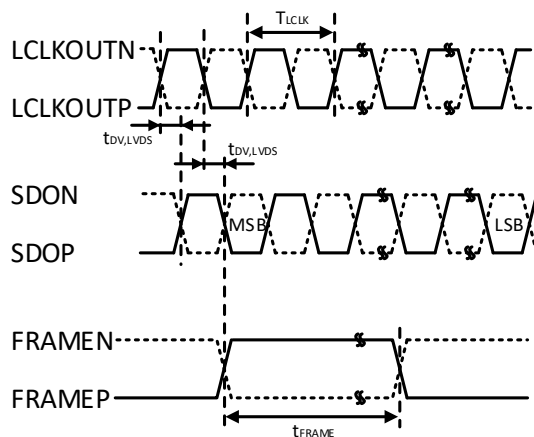


图 2. LVDS 时序符号和参数



典型特性曲线

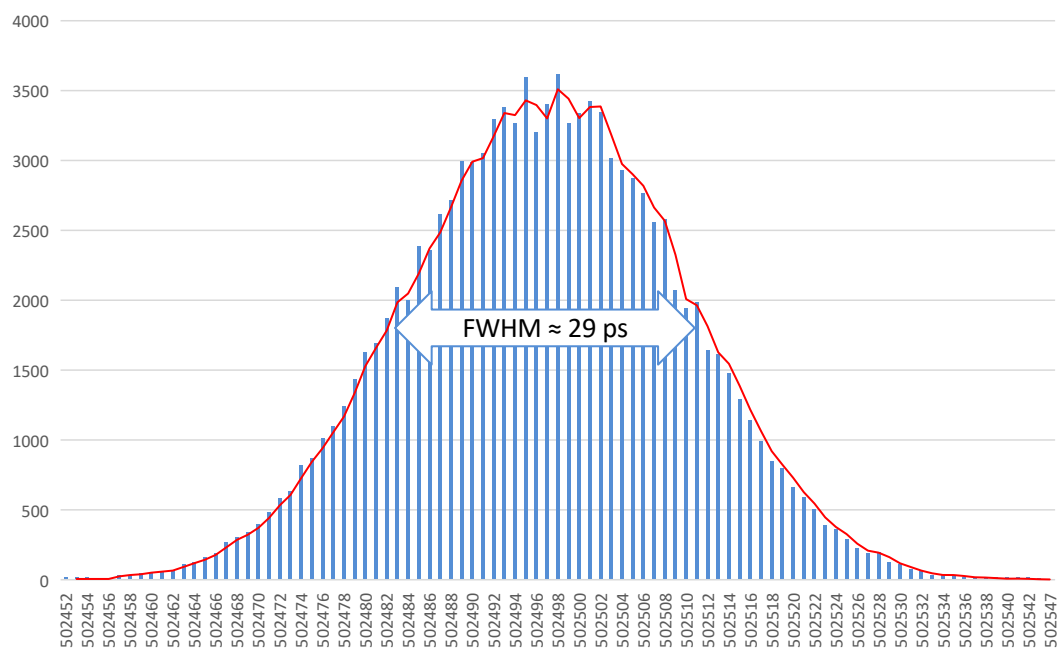


图 3. STOP2 直方图

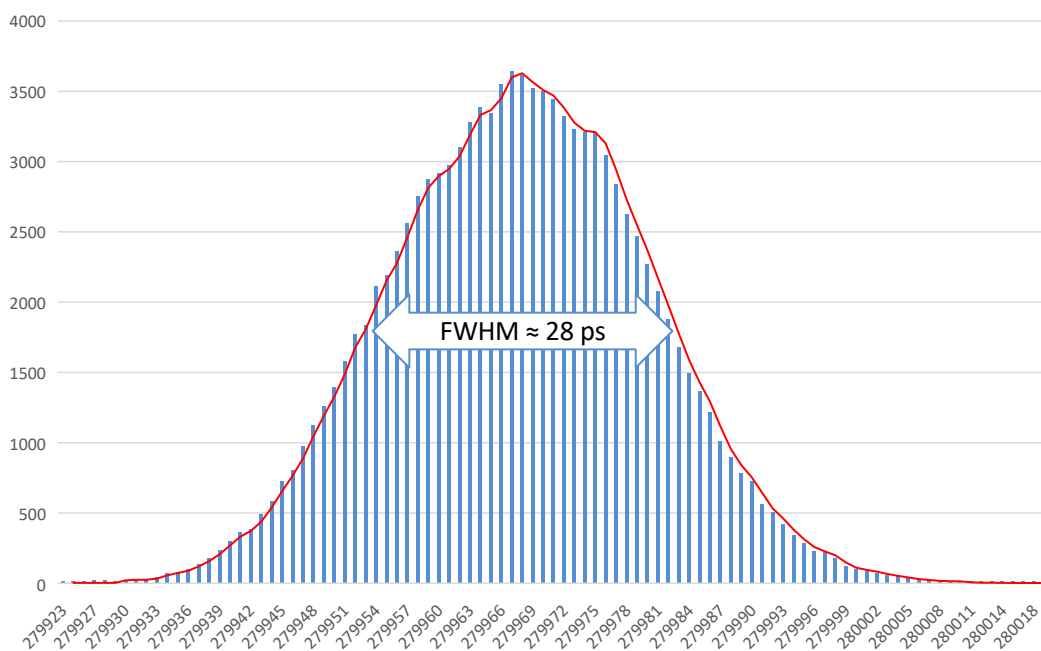
High-Resolution 4x, $t_{\text{STOP2}} = 502.5\text{ns}$, std.dev. 10.75ps

图 4. STOP2 - STOP1 直方图

High-Resolution 4x, $t_{\text{STOP2}} - t_{\text{STOP1}} = 280\text{ns}$, std.dev. 10.25ps

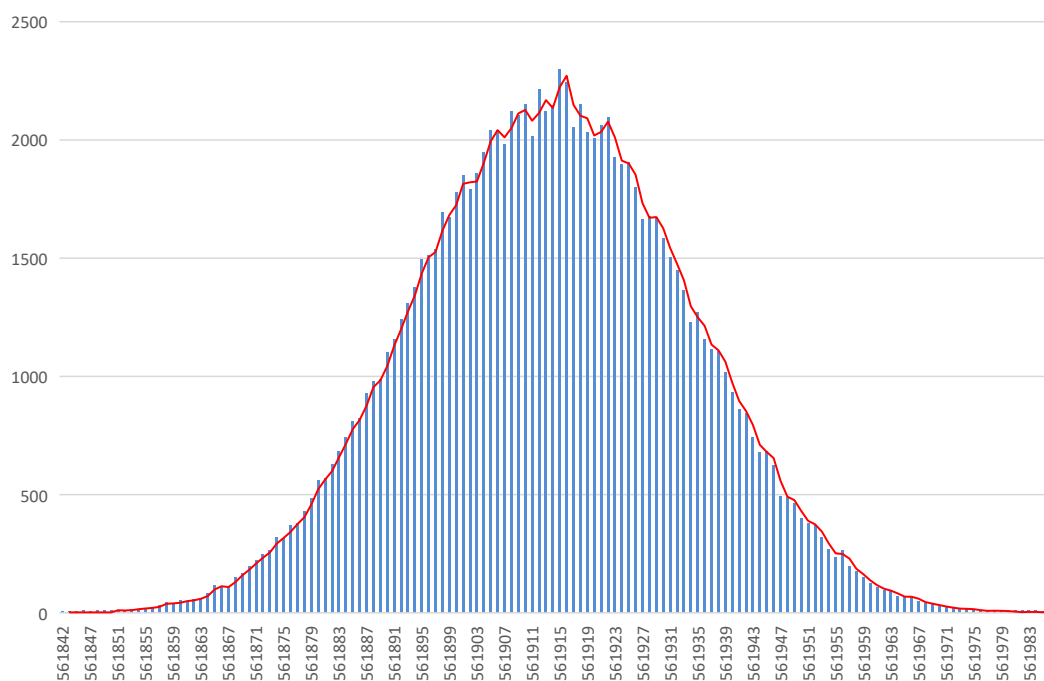


图 5. STOP2 直方图

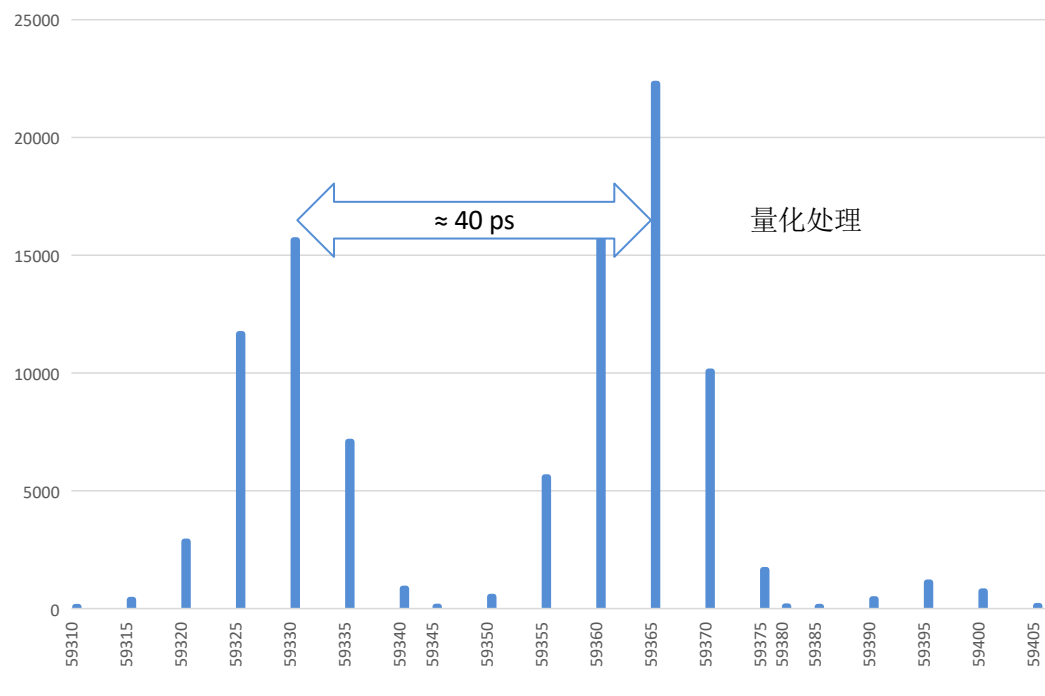
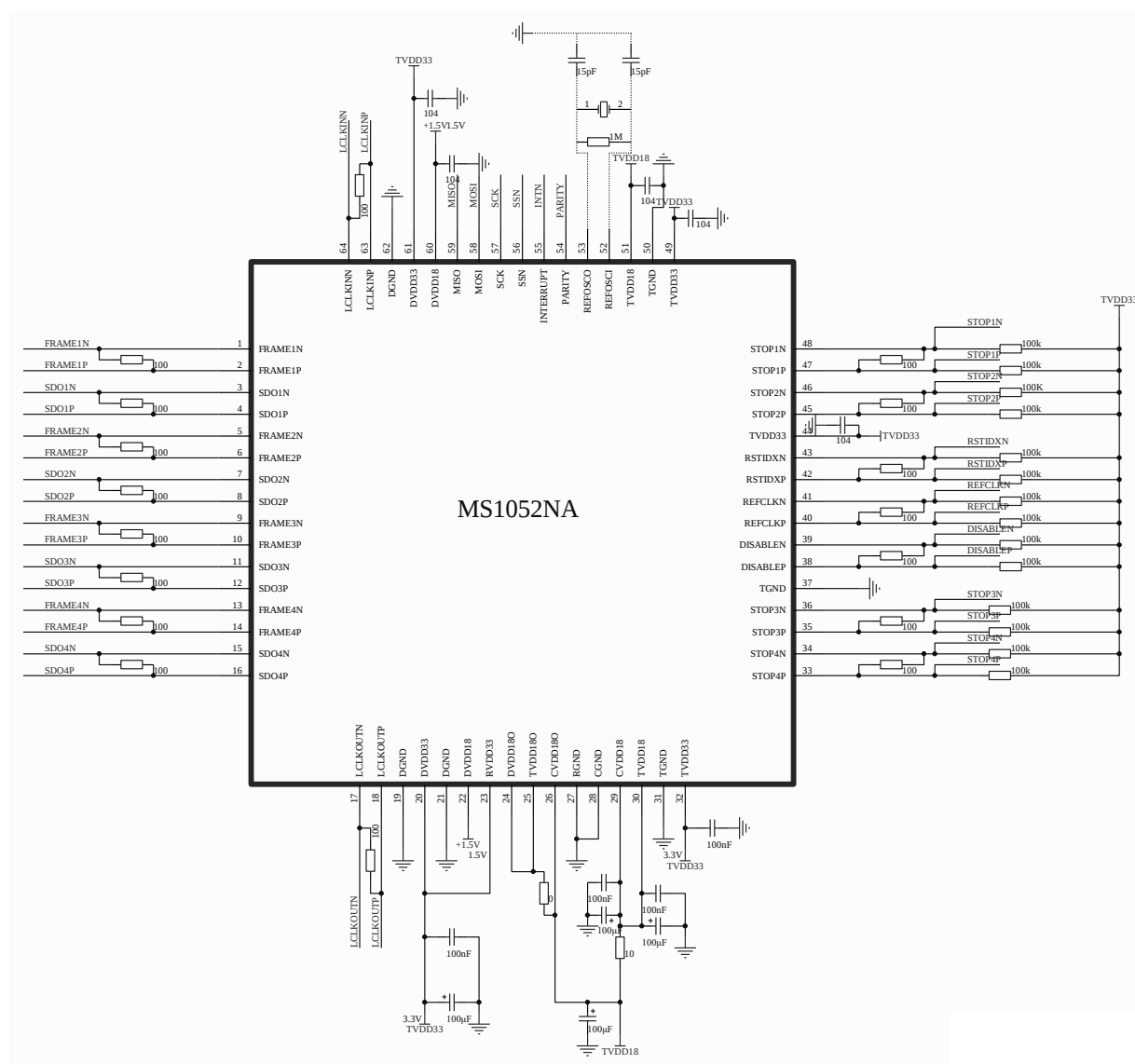
High-Resolution off, $t_{\text{STOP2}} = 561.9\text{ns}$, std.dev. 19.65ps

图 6. STOP2 - STOP1 直方图

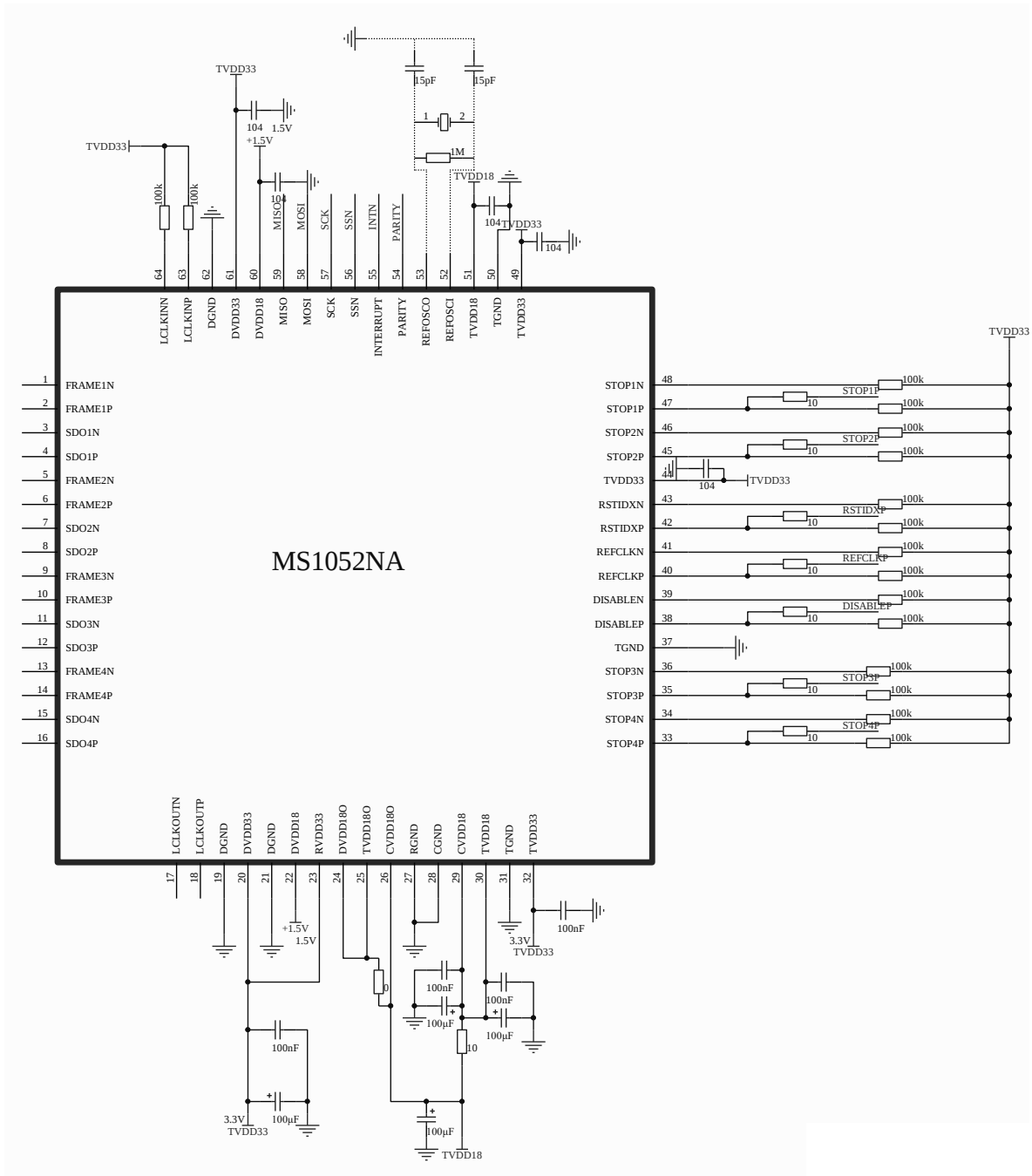
High-Resolution off, $t_{\text{STOP2}} - t_{\text{STOP1}} = 59.3\text{ns}$, std.dev. 19ps

典型应用图

LVDS 输入和输出

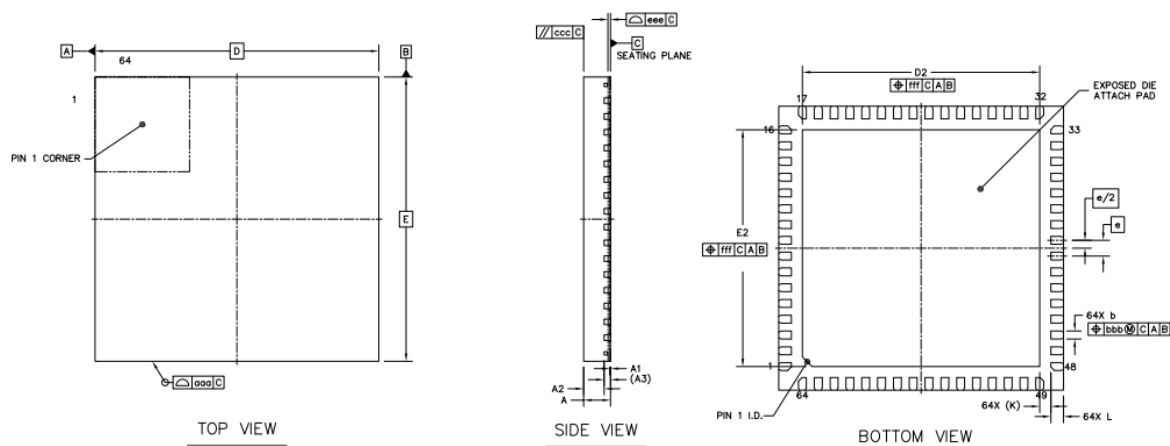


CMOS 输入和 SPI 通信



封装外形图

QFN64

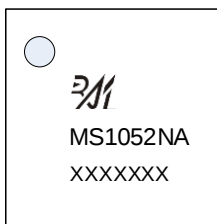


符号	最小值	典型值	最大值
A	0.8	0.85	0.9
A1	0	0.02	0.05
A2	-	0.65	-
A3	0.203 REF		
b	0.2	0.25	0.3
D	9 BSC		
E	9 BSC		
e	0.5 BSC		
D2	7.4	7.5	7.6
E2	7.4	7.5	7.6
L	0.3	0.4	0.5
K	0.35 REF		
aaa	0.1		
ccc	0.1		
eee	0.08		
bbb	0.1		
fff	0.1		



印章与包装规范

1. 印章内容介绍



产品型号：MS1052NA

生产批号：XXXXXXX

2. 印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

3. 包装规范说明

型号	封装形式	只/卷	卷/盒	只/盒	盒/箱	只/箱
MS1052NA	QFN64	2000	1	2000	8	16000



声明

- 瑞盟保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整。
- 在使用瑞盟产品进行系统设计和整机制造时，买方有责任遵守安全标准并采取相应的安全措施，以避免潜在失败风险可能造成的人身伤害或财产损失！
- 产品提升永无止境，本公司将竭诚为客户提供更优秀的产品！





MOS电路操作注意事项

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。

